

## MANUFACTURE OF MOS FET

Patent Number: JP2162738  
Publication date: 1990-06-22  
Inventor(s): YOSHIDA SHINJI  
Applicant(s): NEC CORP  
Requested Patent: ☐ JP2162738  
Application Number: JP19880317951 19881215  
Priority Number(s):  
IPC Classification: H01L21/336 ; H01L21/265 ; H01L29/784  
EC Classification:  
Equivalents:

---

### Abstract

---

**PURPOSE:** To contrive a reduction in the film thickness of a gate electrode while a sufficient thickness is secured for the gate electrode to be used as an ion-implantation mask by a method wherein the thickness of a poly silicon film to be used as the film for the gate electrode is made thinner than a conventional poly silicon film, while a silicon nitride film is superposed on the poly silicon film to form the gate electrode into a double structure.

**CONSTITUTION:** A silicon substrate 4 completed a LOCOS process is oxidized to form a gate oxide film 6. Then, a poly silicon film 1 to be used as a gate electrode film is laminated thinner than a conventional poly silicon film and a nitride film 7 is deposited thereon to make up for the amount of the shortage of a masking effect at the time of ion-implantation. Then, after a gate electrode pattern consisting of a photoresist is molded on the film 7, the films 7 and 1 are continuously etched by an RIE method. Then, an impurity for a region to be used as a light drain is ion-implanted in a self-alignment manner. Then, when an oxidation is performed, the side surfaces only of a gate electrode are oxidized and sidewalls 8 are formed. After this, an ion-implantation for forming low-resistance regions 2a and 3b with a deep junction between them is performed and lastly, the film 7 on the gate electrode is removed.

---

Data supplied from the esp@cenet database - I2

## ⑫ 公開特許公報(A) 平2-162738

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)6月22日

H 01 L 21/336  
21/265  
29/7848422-5F H 01 L 29/78 3 0 1 L  
7522-5F 21/265 L

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 MOS FET の製造方法

⑮ 特 願 昭63-317951

⑯ 出 願 昭63(1988)12月15日

⑰ 発 明 者 吉 田 伸 二 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 1. 発明の名称

MOS FET の製造方法

## 2. 特許請求の範囲

半導体装置の製造方法において、

ロコス工程を終了したシリコン基板に薄いゲート電極膜をデポジションする工程と、

ゲート電極膜上に、シリコン窒化膜をデポジションする工程と、

ホットエッチング技術を使用して、前記シリコン窒化膜とゲート電極膜の二層膜を連続してパターニングする工程と、

該パターニングされたゲート電極およびシリコン窒化膜をマスクとして用いてソース・ドレイン形成用不純物を基板内に導入する工程と、

ゲート電極上のシリコン窒化膜を除去する工程とを有するMOS FET の製造方法。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の製造方法に関し、特に、

MOS FET のゲートに対する寄生容量の低減を目的とした製造方法に関する。

〔従来の技術〕

従来のMOS FET の製造方法は、シリコン基板を薄く酸化し、さらにシリコン窒化膜をデポジションしホットエッチング技術を使用して前記窒化膜をパターニングした後、窒化膜を、耐酸化マスクとして用いて厚いフィールド酸化膜を形成するロコス工程と、前記ロコス工程の終了した基板にポリシリコン等を積層させ、同じくホットエッチング技術を使用して、ゲート電極を形成する工程と、前記ゲート電極を1つのマスクとして、イオン注入技術によりシリコン基板に不純物を導入し、ソース・ドレインとなる拡散領域をセルフアライメントで形成する工程と、拡散領域およびゲート電極と金属配線を絶縁する薄膜層を積層し、これにバイアホールを形成し、更に、金属配線を形成する工程からなるのが、一般的である。

第2図はこの従来法を用いて形成されたMOS FET の断面図であり、シリコン基板4の主面に

は、ロコス法により形成された厚いフィールド酸化膜5とゲート酸化膜6が形成され、ゲート酸化膜6上にポリシリコンゲート1が形成されている。また、シリコン基板4中には、ソース領域2、ドレイン領域3が形成されている。

〔発明が解決しようとする課題〕

発明が上述した従来の技術により形成されたMOS FET においては第2図に示されるように、ゲート電極には、本来の動作に必要なゲート容量C1と、動作に不必要な寄生容量C2～C5が構造的に存在する。ゲートとソース・ドレインの直接重なりによる寄生容量C2、C3は、ソース・ドレイン拡散層のシャロー化や、LDD構造の採用により低減されている。一方、シリコン基板への不純物導入を行う場合、ゲート電極膜をマスクとして使用するセルフアライメント方式のイオン注入時にゲート電極は、加速されたイオンを基板までつきぬけさせないマスク効果を維持する必要性があり、このために、ゲート電極は十分な厚みが必要であり、フリンジ効果による寄生容量C4、

工程とを有している。

〔作用〕

ゲート電極となるポリシリコンの厚みを従来より薄くする一方、シリコン窒化膜を重ねて二重構造とすることにより、イオン注入マスクとして十分な厚みを確保しつつゲート電極の薄膜化を図ることができる。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例を工程順に示した断面図である。

第1図(a)は、シリコン基板4に窒化膜(不図示)を耐酸化マスクとしてパターニングし、酸化してフィールド酸化膜5を形成した後に窒化膜を除去した状態、つまりロコス工程の完了したものである。

次に、ゲート電極と基板を絶縁するための酸化を行い、ゲート酸化膜6を形成したものが、第1図(b)である。

C5は、近年のMOS FET の微細化にもかかわらず、依然大きな容量となっている。ゲートの寄生容量が大きいことは、ゲートの電圧が変化した場合、ゲート容量のチャージまたはディスチャージに用する時間の増加を意味し、論理ゲートを構成した場合の遅延時間を招くという問題がある。

〔課題を解決するための手段〕

本発明のMOS FET の製造方法は、

半導体装置の製造方法において、

ロコス工程を終了したシリコン基板に薄いゲート電極膜をデポジションする工程と、

ゲート電極膜上に、シリコン窒化膜をデポジションする工程と、

ホットエッチング技術を使用して、前記シリコン窒化膜とゲート電極膜の二層膜を連続してパターニングする工程と、

該パターニングされたゲート電極およびシリコン窒化膜をマスクとして用いてソース・ドレイン形成用不純物を基板内に導入する工程と、

ゲート電極上の前記シリコン窒化膜を除去する

次に、ゲート電極膜としてはポリシリコン膜1を積層する(第1図(c))。この時の膜圧は、1000Å前後である。従来の膜圧はソース・ドレインのイオン注入時のマスク性能を維持するために4000Å～8000Å程度がよく用いられている。一例として、ボロンを加速エネルギー50KeVでイオン注入する場合、ポリシリコンが完全なマスク効果を保持するためには、約3200Åの膜圧が最低必要となる。しかし、本実施例の場合は、ポリシリコン膜1の厚さを従来より薄く形成する。

次に、ゲート電極膜上に窒化膜7をデポジションし、イオン注入時のマスク効果の不足分を補う(第1図(d))。ボロンを50KeVでイオン打込みする場合、窒化膜圧は約2000Åである。一方、ゲート電極膜を薄くしたことによる抵抗の増加は、ポリシリコンの不純物拡散濃度を増加させ非抵抗を下げるか、あるいは白金(Pt)などを用いて電極膜をポリサイド化することにより回避できる。次に、ホットエッチング技術を用いて、窒化膜上にホトレジストのゲート電極パターンを整

形した後、異方性のリアクティブイオンエッチングにより窒化膜7とポリシリコン膜1を連続してエッチングする。エッチングは、CF<sub>4</sub>ガス雰囲気中ならば窒化膜とポリシリコン膜のエッチング速度が同等となる条件を設定することは容易である。

ゲート電極のエッチング終了後、セルフアライメントにより、ライトドレインとなる不純物(N型チャネルのMOSであれば、砒素(As)イオン)をイオン注入する(第1図(e))。

次に、イオン注入後のアニールとLDD構造に必要なゲートのサイドウォール8を形成するための酸化を行う。この時、イオン注入のマスクとしてのゲート上の窒化膜は、ゲート表面の耐酸化マスクとして作用する。よってゲート電極は、側面のみ酸化される。また、酸化を850℃程度の水蒸気雰囲気中で行えば、不純物濃度の高いポリシリコンに比べて、シリコン基板の酸化レートは極めて小さい。よって、ゲートの側面のみが酸化された状態となる。この後、深いジャンクションの低

抵抗領域2a、3bを形成するためのイオン注入を行う。NチャネルのMOSの場合、リン(P)イオンを注入する(第1図(f))。

最後にゲート電極上の窒化膜7は、不必要となるから熱燐酸を使用して除去する(第1図(g))。

以上のようにして形成されたMOS FETに電極配線を施して半導体装置を構成する。

#### [発明の効果]

以上説明したように本発明は、ゲート電極膜を薄膜化し、ゲート電極上に窒化膜を積層して二重構造としてゲート電極パターンを形成し、ソース・ドレインの不純物イオン注入を行う製造方法とすることで、ゲート電極膜厚を任意に薄膜化でき、フリンジ効果によるゲート電極の寄生容量を大幅に低減できる効果がある。これにより、MOS FETにより構成された論理ゲートの遅延を低減できる効果がある。

また、ゲート電極膜をポリシリコン、イオン注入に対するマスク性能の補足膜として窒化膜を使

用すれば、MOS FETのLDD構造を容易に形成できる効果がある。

#### 4. 図面の簡単な説明

第1図(a)～(g)は本発明のMOS FETの製造方法の一実施例を工程順に示した断面図、第2図は従来例により形成されたMOS FETの断面図である。

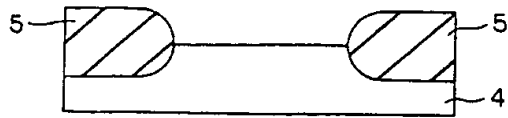
- 1…ゲート電極(ポリシリコンまたはポリサイドゲート)、
- 2…ソース(またはドレイン拡散層)、
- 3…ドレイン(またはソース拡散層)、
- 4…シリコン基板、
- 5…フィールド酸化膜、
- 6…ゲート電極膜、
- 7…窒化膜、
- 8…LDD用ゲート酸化膜、
- C1…ゲート容量、
- C2…ゲートと拡散のオーバーラップによる寄生容量、

C3…ゲートと拡散のオーバーラップによる寄生容量、

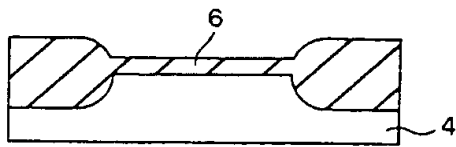
C4…ゲート側面と拡散のフリンジ効果による寄生容量、

C5…ゲート側面と拡散のフリンジ効果による寄生容量。

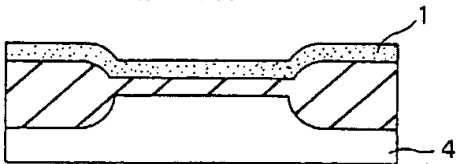
特許出願人 日本電気株式会社  
代理人 弁理士 内原 晋



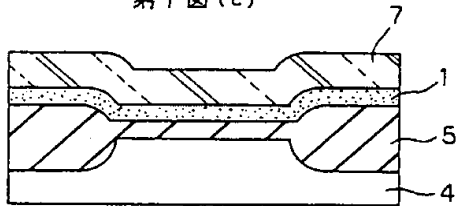
第1図 (a)



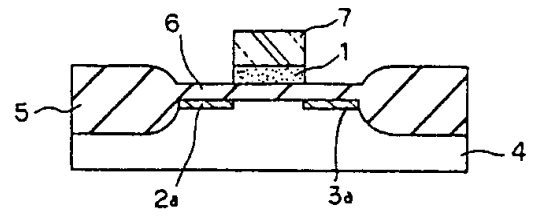
第1図 (b)



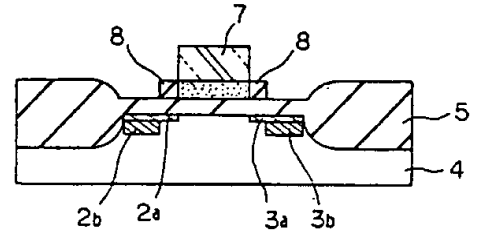
第1図 (c)



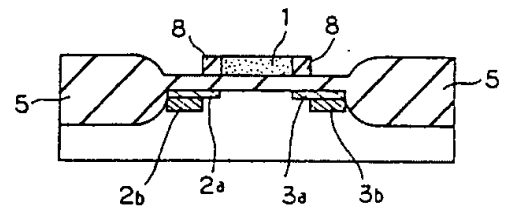
第1図 (d)



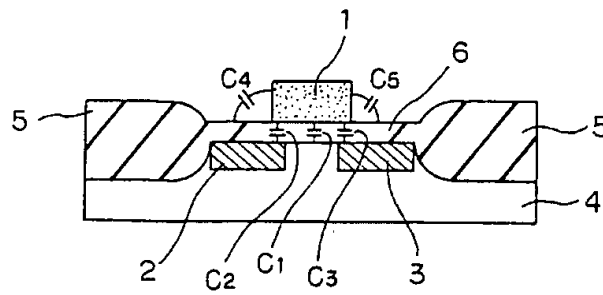
第1図 (e)



第1図 (f)



第1図 (g)



第2図